

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242477

(43)Date of publication of application : 11.09.1998

(51)Int.Cl. H01L 29/786
B42D 15/10
H01L 21/336

(21)Application number : 09-339637

(71)Applicant : HITACHI LTD

(22)Date of filing : 10.12.1997

(72)Inventor : HISAMOTO MASARU
SUDO ITSUKI

(30)Priority

Priority number : 08347138 Priority date : 26.12.1996 Priority country : JP

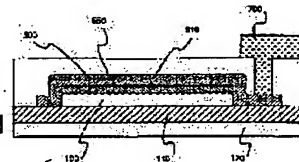
(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a semiconductor device in which a potential can be applied to a channel region by forming a gate electrode of upper and lower gate layers and electrically connecting the upper gate layer with the channel forming region of an insulated gate field effect transistor.

SOLUTION: A silicon oxide 110 is deposited on a silicon substrate 120 and a single crystal silicon layer (SOI layer) 100 is formed thereon. A gate oxide 910 is then deposited on the surface of the SOI substrate and a polysilicon layer 550 is formed thereon.

Subsequently, a lower gate layer 550, the gate insulator 910 and the SOI layer 100 are etched sequentially using a photoresist mask and polysilicon 500 heavily doped with boron is deposited thereon. Consequently, the lower gate layer 550 is connected with the SOI layer 100 on the side face of the exposed SOI layer. A bias applied to a metallization 700 can be applied to the SOI layer (channel forming region beneath the gate electrode) through the upper gate layer 500.



LEGAL STATUS

[Date of request for examination] 01.04.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3545583

[Date of registration] 16.04.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The support substrate with which a principal plane consists of an insulator, and the single crystal half conductor layer of the 1st conductivity type by which pattern formation was carried out to the above-mentioned insulator principal plane, The gate dielectric film formed in the principal plane of the above-mentioned single crystal half conductor layer, and the 1st gate layer by which pattern formation was carried out on the above-mentioned gate dielectric film, And the gate layer of the above 2nd is a semiconductor device characterized by connecting by the lateral portion of the above-mentioned single crystal half conductor layer including the 2nd gate layer connected to the gate layer of the above 1st.

[Claim 2] It is the semiconductor device characterized by consisting of insulators which consist of silicon oxide by which the above-mentioned support substrate was formed in a single crystal semiconductor and its semi-conductor front face in claim 1.

[Claim 3] The support substrate with which a principal plane consists of an insulator, and the single crystal half conductor layer of the 1st conductivity type which has the rectangle formed in the above-mentioned insulator principal plane, The gate dielectric film formed in the principal plane of the above-mentioned single crystal half conductor layer, and the 1st gate layer by which pattern formation was carried out on the above-mentioned gate dielectric film, And the gate layer of the above 2nd is a semiconductor device characterized by connecting in the both-sides surface part which counters mutually [the above-mentioned single crystal half conductor layer] including the 2nd gate layer connected to the gate layer of the above 1st.

[Claim 4] It is the semiconductor device characterized by consisting of insulators which consist of silicon oxide by which the above-mentioned support substrate was formed in a single crystal semiconductor and its semi-conductor front face in claim 3.

[Claim 5] It is the semiconductor device characterized by for the above-mentioned lower gate layer consisting of the cascade screen of polycrystalline silicon and titanium nitride, and the above-mentioned up gate layer consisting of polycrystalline silicon in claim 3.

[Claim 6] The support substrate with which a principal plane consists of an insulator, and the single crystal half conductor layer of the 1st conductivity type which has two or more rectangles formed in the above-mentioned insulator principal plane, The gate dielectric film formed in the principal plane of the single crystal half conductor layer of each above, The 1st gate layer by which pattern formation was carried out on the gate dielectric film of each above, And it is semiconductor integrated circuit equipment which has the 2nd gate layer which was formed ranging over two or more above-mentioned single crystal half conductor layers, and was connected to the gate layer of the above 1st, and is characterized by connecting the gate layer of the above 2nd by the lateral portion of the single crystal half conductor layer of each above.

[Claim 7] The semiconductor device characterized by preparing a semi-conductor single crystal layer on an insulating material, and for a gate electrode consisting of two-layer structure in the semiconductor device containing an insulated gate field effect transistor with the gate formed in this semi-conductor single crystal layer, the source, and a drain electrode, and connecting the up gate layer to the channel

formation field and the electric target of this insulated gate field effect transistor.

[Claim 8] The semiconductor device characterized by carrying out contact to the side face of this silicon single crystal layer, and this gate electrode in claim 7.

[Claim 9] The semiconductor device characterized by forming this lower gate layer and the active region with the same pattern in claim 7.

[Claim 10] The process which forms this gate dielectric film in the silicon single crystal on an insulator, The process which deposits a gate layer on this gate dielectric film, and the process which processes the process and this gate layer which carry out patterning of the active region, and this silicon single crystal layer, the process which deposits the 2nd gate layer on this gate layer, this silicon, and an insulator layer substrate, and the gate -- patterning -- carrying out -- this -- the manufacture approach of a semiconductor device of having the process which processes the 1st and 2nd gate layers, and the process which forms a predetermined impurity range in this active region.

[Claim 11] It is the electronic card characterized by a photo detector being formed in a semi-conductor body, a semi-conductor layer being formed in one principal plane of the above-mentioned body through an insulator layer, MISFET which makes the semi-conductor layer a channel formation field at the above-mentioned semi-conductor layer being formed, the gate electrode and the above-mentioned semi-conductor layer of Above MISFET being connected electrically, and the above-mentioned semi-conductor body being closed by the resin object, and changing.

[Claim 12] It is the electronic card characterized by constituting the solar battery with which the above-mentioned photo detector drives Above MISFET in claim 11.

[Claim 13] It is the electronic card currently closed with the resin object with the above-mentioned transparent photo detector in claim 12.

[Claim 14] It is the electronic card characterized by forming the above-mentioned photo detector in other reverse principal planes to one principal plane of the above-mentioned body in claim 11.

[Claim 15] In the approach of manufacturing the semiconductor device which has an insulated-gate field-effect transistor in the single crystal half conductor layer on an insulator The process which deposits the 1st conductor layer on the above-mentioned single crystal half conductor layer through gate dielectric film, The process which performs pattern NINGU which specifies the gate width direction to the 1st conductor layer of the above, and the above-mentioned single crystal half conductor layer, On the 1st conductor layer of the above by which patterning was carried out, and the above-mentioned single crystal half conductor layer, the above-mentioned 1st conductor-layer principal plane and a side face, Pattern NINGU which specifies the direction of gate length to the process, the 2nd conductor layer of the above, and the 1st conductor layer of the above which deposit the 2nd conductor layer which touches the side face of the above-mentioned single crystal half conductor layer is performed. It consists of the process which forms the laminating gate electrode of the 1st gate layer and the 2nd gate layer, the source specified with the above-mentioned laminating gate electrode, and the process which forms a drain field.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

- 2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the insulated gate field effect transistor of a semiconductor device, especially SOI (Silicon On Insulator) structure.

[0002]

[Description of the Prior Art] SOI-MOSFET (Silicon On Insulator - Metal Oxide Semiconductor Field Effect Transistor) formed in the thin single-crystal-silicon layer on an insulating substrate can be large-integrated on one substrate using the micro-processing process of silicon. Moreover, since the parasitic capacitance which the formed transistor has is small compared with the case where the conventional single crystal silicon substrate is used, it has been observed from turning to high-speed operation.

[0003] In the semiconductor device (MOSFET) using the conventional single crystal silicon substrate, bias is carried out to the channel section using the substrate electrode. On the other hand, in SOI-MOSFET, since there was an insulating layer (or insulating substrate) in the pars basilaris ossis occipitalis of a thin single-crystal-silicon layer, bias could not be carried out from the channel lower part, but the technical problem called "substrate floating" (floating-substrate) which causes unstable actuation occurred.

[0004] That is, at NMOS (N-channel metal oxide semiconductor), producing a kink (kink effect) in a current characteristic etc. is reported by passing big leakage current according to an OFF state by a hole being accumulated in the channel section, and the ON state. It is known that this problem will appear notably in NMOS with a big impact ionization coefficient (impact ionization).

[0005] The technique for solving this technical problem is indicated by JP,4-34980,A or JP,7-273340,A.

[0006] moreover, eye and I -, I -, I -, and electron Device a letter and the number for December, 1994 - it considers carrying out bias to the channel section (P-silicon) through a gate electrode as described by the 512nd page (IEEE Electron Devices Letters, vol.15, No.12, pp.510-512, and December 1994) from the 510th page. It can be considered that MOSFET which has the structure which connected the gate to this substrate is the device which made FET and a horizontal-type bipolar device (Lateral Bipolar Transistor) live together. According to such an MOSFET, it is reported that the property which was excellent in especially low-battery actuation (less than [0.6V]) can be acquired.

[0007] Drawing 22 is plane configuration drawing showing the device structure currently indicated by the above-mentioned reference. Plane configuration has adopted the same arrangement as MOSFET formed in the conventional single crystal silicon substrate. Patterning of the description of this structure is carried out in the configuration as the gate (electrode) 500 where a part of active region 100 which consists of a thin single-crystal-silicon layer is the same. And in the contact 600 of the gate, it is simultaneously [with the gate 500] in contact to the active region with wiring.

[0008] Drawing 23 is what showed only the active region 100 of drawing 22 , and patterning of the active region is carried out to the so-called form of DOKKUBO-N in the contact section of the gate. The cross-section structure of contact is shown in drawing 24 . The cross-section structure shown in drawing 24 is an A-A cutting sectional view. As shown in drawing 24 , the contact to the gate 500 and an active region 100 forms the contact hole which pierced through the gate 500 and gate oxide 910, exposes the active region 100 under the above-mentioned gate oxide 910, and is attained by the metal wiring 700 formed in the above-mentioned contact hole.

[0009]

[Problem(s) to be Solved by the Invention] With the technique indicated by the above-mentioned reference, in case an active region is processed, it is necessary to carry out detailed patterning

beforehand doubled with the gate. At the time of contact formation, it is necessary to stop processing so that processing which runs through the gate may be performed and it may not run through a thin film silicon layer. And contact to the gate must be performed on a gate layer side face (contact hole wall). For this reason, there are the usual MOS transistor process (process for forming an MOS transistor in the conventional single crystal substrate) and a problem on processing which cannot take consistency, and it is not suitable for integration.

[0010] Therefore, it is necessary to solve the problem of substrate floating, without performing special processing.

[0011] The object of this invention is to offer the semiconductor device of the new SOI structure of giving potential to a channel formation field.

[0012] Other objects of this invention have the insulating Guesde field-effect transistor of the new SOI structure of giving potential to a channel formation field in providing one support base with the semiconductor integrated circuit equipment by which two or more configurations were carried out.

[0013] Furthermore, other objects of this invention are to offer the manufacture approach of the semiconductor device of the new SOI structure for giving potential to a channel formation field.

[0014]

[Means for Solving the Problem] according to the semiconductor device of this invention, a semiconductor single crystal layer (polycrystalline semiconductor layer) be prepare on an insulator, a gate electrode consist of two-layer structure of an up gate layer and a lower gate layer in the semiconductor device containing the insulated gate field effect transistor which have the gate formed in this semiconductor single crystal layer, the source, and a drain electrode, and it be characterize by connect the up gate layer to the channel formation field and the electric target of this insulated gate field effect transistor.

[0015] According to this invention, since substrate bias is carried out through a gate electrode, the problem of substrate floating is avoidable.

[0016] Moreover, since this invention structure is realized in self align by explanation of the formation process mentioned later so that clearly, it is clear on processing like the conventional technique not to produce the problem of being unable to take consistency.

[0017] That is, it is processed by etching to a SOI layer (semi-conductor single crystal layer) succeeding the time of processing of a lower gate electrode, and the side face of a SOI layer is exposed. The lateral portion for contact in the gate and a SOI layer (namely, channel formation field) is formed of this processing. And a lower gate layer and a SOI layer are automatically connected in the lateral portion by depositing an up gate layer on a lower gate layer.

[0018]

[Embodiment of the Invention] Hereafter, the detailed content of this invention is explained based on an example.

[0019] Drawing 1 is the 1st example in this invention, and is the typical top view having shown the semiconductor device of SOI structure according to mask layout. First, an example is taken to N channel mold insulated-gate field-effect transistor (hereafter shown as a 'NMOS' briefly), and the structure and formation process are explained.

[0020] the active region (thin single-crystal-silicon layer) 100 of the rectangle shown by the thick wire -- ** -- the gate pattern 500 is located like. 300A shows the location of the opening mask when carrying out the ion implantation of the N type impurity, and forming the source of NMOS, and a drain electrode. 600 shows the contact section of wiring to a source field, a drain field, and each gate electrode. Moreover, 700 shows the location of wiring.

[0021] The cross-section structure of NMOS of the above-mentioned arrangement is shown in drawing 2, drawing 3 R> 3, and drawing 4. Drawing 2, drawing 3, and drawing 4 are the cutting cross sections in the A-A line (a channel perpendicular direction or the channel width direction) in drawing 1, a B-B line (the direction of channel length), and a C-C line, respectively. In each drawing, 120 is a support

substrate (body) which consists for example, of high resistance single crystal silicon. 110 is an insulator layer, for example, consists of silicon oxide. 100 is the 1st conductivity-type single-crystal-silicon layer (namely, SOI layer) located on the insulator layer 110. 910 is gate dielectric film and specifically consists of silicon oxide. 550 is a lower gate layer and 500 is an up gate layer. 350 is the source and the drain diffusion layer (source/drain diffused layers) which show a reverse conductivity type to the 1st conductivity type. Low-concentration P conductivity type is shown, the silicon 100, i.e., the SOI layer, of the channel section. The source and a drain diffusion layer show N conductivity type. 700 shows a metal wiring layer and each diffusion layer and electrode are in contact with it.

[0022] The description of this invention is shown in drawing 2. In drawing 2, since there is no both-sides side of 910 gate dielectric film in the SOI layer 100 which counters mutually, it is in contact with the up gate layer 500, and the electric flow is taken. Therefore, the bias impressed to the metal wiring 700 is given to the SOI layer 100 (channel formation field under a gate electrode) through the upper gate layer 500. Moreover, the lower gate layer 550 can do the electric field effect through gate dielectric film 910, and can perform actuation as a field-effect transistor (FET). And as shown in drawing 4, the side face and diffusion layer 350 of the SOI layer 100 separate, and are arranged. That is, the PN junction which consists of a diffusion layer 350 and a SOI layer 100 is formed in the SOI layer 100 so that it may not arrive at the side face of the SOI layer 100. Since distance is between the contact section with the gate, and a diffusion layer, the pressure-proofing between the gate and a drain can be obtained enough.

[0023] It is made to correspond to the cross-section structure shown in drawing 3, and other examples are shown in drawing 5, drawing 6, and drawing 7, respectively.

[0024] The 2nd example shown in drawing 5 shows the case where the SOI layer 100 is thin-film-ized. The thickness of this SOI layer 100 has 10nm, and the thickness of gate dielectric film 910 is about 1 of thickness of that SOI layer 100/2.

[0025] The electric connection with the gate and the channel formation field in this example is attained by the structure shown in drawing 2.

[0026] According to this example, a property improvement in a subthreshold active region (subthreshold operation region) can be aimed at. That is, since the gate electrode and the channel active region are connected electrically, the OFF state of the transistor is strengthened at the time (OFF state) of gate voltage (VG) = 0V of a transistor (NMOS). That is, a threshold electrical potential difference is raised. Therefore, subthreshold leakage current (subthreshold leakage current) Reduction can be aimed at.

[0027] Moreover, although it is the effectiveness of the proper of SOI structure, the parasitic capacitance of a diffusion layer can be reduced.

[0028] The 3rd example shown in drawing 6 is NMOS of SOI structure which formed the shallow low concentration impurity diffused layer 340 known as LDD (Lightly Doped Drain) structure. That is, it has low concentration rather than the source to which this diffusion layer metal wiring is connected, and a drain diffusion layer, and is formed shallowly. thus, by having adopted LDD structure, the hot electron effectiveness (hot electron effect) can be reduced -- detailed-ization of NMOS of SOI structure can be attained.

[0029] And the electric connection with the gate and the channel formation field in this example is attained by the structure shown in drawing 2.

[0030] In addition, in drawing 6, the sidewall spacer (sidewall spacer) to the gate electrodes 500 and 550 is omitted.

[0031] The 4th example shown in drawing 7 is the low concentration diffusion layer 340 called DDD (Double Diffused Drain) structure, is the structure which wrapped the high concentration diffusion layer 350 to which the metal wiring 700 is connected, and can improve drain pressure-proofing.

[0032] Also in this example, the electric connection between the gate and a channel formation field is attained by the structure shown in drawing 2.

[0033] In addition, in drawing 7, the high concentration diffusion layer 350 is distant from the edge

(edge) of the gate electrodes 500 and 550. However, self-align (self align) formation is carried out to the edge (edge) of the gate electrodes 500 and 550 like the low concentration diffusion layer 340 in practice. For this reason, the edge of the high concentration diffusion layer 350 which touched gate dielectric film 109 is located under a gate electrode.

[0034] Next, the manufacture approach of the 1st example shown in drawing 1 is explained. Drawing 8 to drawing 11 is cross-section structural drawing showing the manufacture process of the 1st example. Drawing 8 to drawing 11 is a manufacture process in the A-A line cutting cross section of a semiconductor device including the gate shown in drawing 1.

[0035] As shown in drawing 8, silicon oxide 110 is formed on the silicon substrate 120 as a support substrate. A silicon substrate 120 is the single crystal silicon (relatively high resistivity single crystalline silicon) of high resistance comparatively. And the single-crystal-silicon layer (SOI layer) 100 which has the resistivity (resistivity) of 1ohm cm of 100nm in thickness and P conductivity type (P-conductivity type) is formed on the silicon oxide 110. Thereby, the SOI substrate as a star TENGU material (starting material) is prepared. And 100nm of polycrystalline silicon layers 550 which formed 10nm gate oxide 910 in this SOI substrate front face by thermal oxidation, and were doped by P conductivity type using the CVD method is deposited.

[0036] Next, as shown in drawing 9, patterning of the active region is carried out using the photoresist method. That is, sequential etching processing of the lower gate layer 550, gate dielectric film 910, and the SOI layer 100 is carried out using phot REJIMASUKU. At this time, SOI layer 100 side face can be exposed in the form of an active region.

[0037] In addition, an active region (active region) says the field in which an insulated-gate field-effect transistor is formed, and includes the source, the drain field (source and drain regions), and the channel formation field between them.

[0038] Next, as shown in drawing 10, the polycrystalline silicon (up gate layer) 500 which doped boron to high concentration is deposited using a CVD method. Thereby, it connects on the SOI layer side face which the lower gate layer 550 and the SOI layer 100 exposed. The boron doped in polycrystalline silicon is diffused from a SOI layer side face according to subsequent heat treatment processes (for example, heat treatment of CVD protective coat formation etc.), and forms a high concentration layer into a SOI layer. Since this high concentration layer can be made thin by low-temperature-izing a process (for example, 60000 degrees C - about 700 degrees C), it is omitted all over drawing.

[0039] Next, as shown in drawing 11, patterning of the gate electrode is carried out by the photoresist method. Specifically, anisotropy dry etching performs gate electrode processing. At this time, the up gate layer 500 and the lower gate layer 550 are processible together on the SOI layer 110. That is, as shown in drawing 1, a gate electrode (500) is formed.

[0040] Generally, if there is a level difference like the SOI layer 100, the etching remainder (etching residue) of the up gate layer 550 will arise on the SOI layer side face. However, it is processible by using the high conditions of the selection ratio of etching of gate dielectric film 910 and the up gate layer 550.

[0041] Hereafter, drawing is omitted for the same formation process as the usual MOSFET. Ion implantation (ion-implantation) is carried out and a diffusion layer (the source, drain field) 300 is formed by the thing which accelerated the arsenic (Arsenic) for the gate electrode 500 and opening mask 300A (refer to drawing 1) by 2 and placing energy 25keV the ion dose of $5 \times 10^{15} \text{cm}^{-2}$ on the mask and which is annealed after that. Microns [0.3] (um) By using opening mask 300A, between a diffusion layer and the SOI layer side faces of being in contact with the gate electrode was detached. Thereby, junction pressure-proofing with the P type high concentration layer (not shown for shallow junction) currently formed in the SOI layer front face by being spread and a diffusion layer 300 can be raised from the gate 500. And contact is formed in each electrode after carrying out flattening by depositing and heat-treating BPSG (Boro-Phosho Silicate Glass) with a CVD method. A component (NMOS) is formed by carrying out deposition processing of the metal wiring.

[0042] as [be / clear from the above-mentioned process] -- it can be made to flow through a

substrate 100 and a gate electrode, without preparing a contact pattern in a SOI layer

[0043] In addition, PMOS (P channel MOS) can be formed by carrying out the conductivity type used here reversely. moreover It is clear that a CMOS process can be attained by preparing a P conductivity-type SOI layer and an N conductivity-type SOI layer on silicon oxide 110, respectively, and using the mask for PMOS formation and the mask for NMOS formation properly.

[0044] Drawing 12 shows the 5th example. In order to take a big current especially, the layout of SOI-NMOS which has the so-called dual gate (dual gate) structure which has arranged two or more gates (electrode) to parallel is shown. In drawing 12, the diffusion layer 300 is formed smaller than the pattern of an active region (SOI layer) 100.

[0045] Also in this example, as shown in drawing 2, each gate electrode 500 has the two-layer structure which consists of an up gate layer and a lower gate layer, and is in contact with the side face of an up gate layer and an active region.

[0046] If this invention structure and a formation process are used, since they are the same conductivity types, a diffusion layer can attain easily the contact to an electrode (P conductivity-type gate electrode 500) and an active region with a reverse conductivity type. Moreover, a bipolar transistor is obtained simultaneously.

[0047] Drawing 13 is the 6th example and shows fundamental arrangement of the bipolar transistor. for example, the N conductivity-type SOI layer to which, as for the configuration of the transistor, the gate 500 was connected in the case of PMOS -- the N type base -- carrying out -- a P type source field and a P type drain field -- respectively -- an emitter and a collector -- carrying out -- horizontal-type PNP bipolar transistor (LateralPNP Bipolar Transistor) ***** -- it can be made to operate

[0048] Drawing 14 is plane configuration drawing of the semiconductor device of the 7th example of this invention. This example constitutes only the horizontal-type bipolar transistor instead of MOSFET. That is, as shown in drawing 14, pattern NINGU of the electrode 500 is carried out as a base drawer electrode. This electrode 500 is connected to SOI layer 100 side face like said 6th example. An emitter region and a collector field can be selectively formed in the SOI layer 100 by well-known ion implantation by using the opening mask patterns 300 and 310 as a mask.

[0049] Drawing 15 is plane configuration drawing of the semiconductor device of the 8th example of this invention. As shown in drawing 15, an active region (SOI layer) 100 can be arranged to an insulator layer (not shown) in the shape of a ring, and a device can be formed. This device is applicable as diode for input protections of SOI-MOSFET (PN-junction diode). That is, it is selectively formed so that P conductivity-type diffusion layer 300 may reach the N conductivity-type SOI layer 100 at the above-mentioned insulator layer. The side attachment wall inside [in which P conductivity-type high concentration impurity diffused layer 300 is formed] the ring-like SOI layer 100 is in contact with the electrode 500. An interlayer insulation film (not shown) is covered by electrode 500 principal plane and the SOI layer principal plane, and the contact hole 600 is arranged at this interlayer insulation film. And as the dotted line showed, the anode wiring MA and Wiring MK are connected.

[0050] Since according to this example an electrode 500 counters the whole PN junction (PN junction) and the side attachment wall inside the ring-like SOI layer 100 is in contact, it is possible to pass surge current to homogeneity.

[0051] Next, the manufacture approach of other semiconductor devices which are the 9th example is shown in drawing 18 from drawing 16.

[0052] In addition, the sectional view shown in drawing 18 from drawing 16 is equivalent to the sectional view of the A-A line cutting direction shown in drawing 1.

[0053] When processing the lower gate layer 550 shown in drawing 9, the silicon nitride 925 is deposited on the lower gate layer 550, the silicon nitride 925 and the lower gate layer 550 etch, and processing is once stopped with gate dielectric film 910. Next, a spacer 920 can be formed in lower gate layer 550 side face with the spacer formation technique which combined a known CVD method and dry etching (anisotropic etching: anisotropic etching) (drawing 16).

[0054] Next, the SOI layer 100 is processed into a mask for the silicon nitride 925 and a spacer 920 (drawing 17 R> 7).

[0055] next, it can be alike, the silicon nitride 925 can be removed, and the high concentration impurity diffused layer 330 of P conductivity type can be formed in SOI layer 100 periphery in self align by the spacer 920 and carrying out the ion implantation of the lower gate layer 550 to a mask. Then, formation process of the example 1 shown in drawing 10 (gate etching) A component can be obtained by carrying out (drawing 18). Even if it uses metal material as an up gate layer 500 by performing this process, a flow can be obtained by low resistance, without having a SOI layer (substrate) and the shot key barrier (schottky barrier).

[0056] With this invention structure, it is clear that the gate can be formed by carrying out the laminating of the different construction material, and combination can be designed so that required gate resistance may be obtained. Until now, although the two-layer gate configuration has been shown, the lower gate can be made into a cascade screen with titanium nitride (TiN) on N type polycrystalline silicon and its N type polycrystalline silicon, and the up gate can be used as P type polycrystalline silicon, for example. That is, laminating gate structure like the polyside gate (polyside gate) currently developed for the reduction in resistance of the gate or V_{th} value (threshold voltage) setting out or the Salicide gate (salicide gate) can be used as it is.

[0057] Drawing 19 is the 10th example and shows the case where an insulator layer 930 is placed between the up gate 500 and the lower gate 550. Thereby, a floating-gate mold memory cell can be obtained easily.

[0058] Therefore, it is possible to form the semiconductor integrated circuit equipment with which MOSFET which has the two-layer structure which changes from an up gate layer like said example (for example, the 1st example) and a lower gate layer to the SOI layer 100, and is in contact with the side face of an up gate layer and an active region, and the above-mentioned floating-gate mold memory cell were carried.

[0059] Moreover, drawing 20 and drawing 21 are the 11th example and 12th example, respectively, and show the modification of the PN-junction diode which can be formed to the SOI layer 100 with MOSFET of said example.

[0060] It consists of PN junctions between the diodes, the P conductivity-type SOI layers (substrate) 100, and the N type layers 370 which were shown in drawing 20. The formation approach of this diode is described briefly [below].

[0061] First, the lower gate layer 550 and the up gate layer 500 are deposited, without putting gate dielectric film on substrate 100 front face. After specifically forming the gate dielectric film 910 shown in drawing 8 , some gate dielectric film 910 formed in substrate 100 front face in which DAIDO should be formed is removed. And the lower gate layer 550 and the up gate layer 500 are deposited. At a gate electrode pattern NINGU process, since the gate dielectric film does not exist, a substrate 100 can be etched. The insulator layer spacer 960 is formed using the level difference of the side face made at this time. And a tungsten 710 is selectively deposited on the exposed polycrystalline silicon 500 and a substrate 100. By carrying out the ion implantation of N type to a substrate 100 before tungsten deposition, the N type layer 370 specified by the above-mentioned insulator layer spacer 960 is formed. Since 360 does not have gate dielectric film, the P type impurity layer diffused from 550 is shown.

[0062] This example can form PN-junction diode selectively using two-layer gate pattern etching.

[0063] In CMOS process, both N type and P type are used for the polycrystalline silicon of the gate. Diode can be formed by using this. A typical layout is shown in drawing 21. The contact to N conductivity-type field can take a line crack from the left lateral (CNT1) of an active region (P conductivity-type SOI layer) 100, and can take the contact to P conductivity-type field from a right lateral (CNT2).

[0064] In addition, N conductivity-type field 300 is formed of placing of arsenic ion which used opening mask 300A.

[0065] The contact (henceforth substrate contact) to the gate and the substrate (SOI layer) by this invention is effective when the gate straddles two or more active regions. That is, this invention is the structure suitable for high integration. Drawing 25 , drawing 26 , and drawing 27 show the 13th, the 14th, and the 15th example, respectively. The example of arrangement of the typical active region 100 and the typical gate 500 which are used by LSI is shown, respectively.

[0066] It is necessary to prepare two or more contact formation fields by the conventional substrate contact.

[0067] However, according to this invention, since the side attachment wall of an active region 100 has attained substrate contact, substrate contact to the active region of the arrangement which carried out the drawing 27 ***** from drawing 2525 can be performed easily. Therefore, the semiconductor integrated circuit equipment of the low-battery actuation integrated highly is obtained.

[0068] By the way, on a high electrical potential difference ($V_{cc}=1.2V-1.5V$), since leakage current increases, the device structure of this invention is especially effective in actuation on a low electrical potential difference ($V_{DL}\leq 0.6V$). For this reason, in the case of the semiconductor integrated circuit equipment (henceforth IC) which integrated SOI-MOSFET without substrate contact, and SOI-MOSFET which has substrate contact like this invention, a voltage limiter (voltage limiter) as shown in drawing 28 can be prepared in that IC, and the internal circuitry (internal circuit) operated by driver voltage VDL can consist of SOI-MOSFETs of above-mentioned this invention.

[0069] In addition, in drawing 28 , resistance R1 and R2 is set up so that reference voltage Vref ($\leq 0.6V$) may be obtained. DA is the differential amplifier (differential amplifier).

[0070] The example using SOI-MOSFETs of this invention as a gate protection network component is shown in drawing 29 . It can be made to operate as a gate protection component at this example by connecting the big inverter (CMOS inverter) which consisted of this inventions between the bonding pad (bonding pad) BP and the internal circuitry 1 in IC. That is, the gate electrode is connected through the PN junction to the power source Vcc or the grounding conductor Vss, respectively. for this reason -- for example, when forward surge voltage is impressed to a bonding pad BP, it lets the PN junction of NMOS pass and is drawn out by the grounding conductor Vss. On the other hand, when negative surge voltage is impressed to a bonding pad BP, it lets the PN junction of PMOS pass and is drawn out by the grounding conductor Vcc.

[0071] According to this invention, it has the property of operating by the low battery. Therefore, the lowness of an electrical potential difference can integrate the photo detector using the photovoltaic effect (phtovoltaic effect) which was a technical problem (photodetector), for example, a solar battery, (solar cell), and SOI-MOSFETs of this invention. For example, the electronic card shown in drawing 30 $R > 0$ is assembled. In drawing 30 , a photo detector 122 is formed in the well (well) prepared in the silicon substrate 120, it embeds at a part of the substrate 120, and the oxide film 110 is formed. SOI-MOSFETs of this invention is formed on the embedding oxide film 110. And for example, the silicon substrate 120 is closed with the transparent resin object 10. And the external terminal 11 is further formed in the corner of the resin object 10.

[0072] In addition, SOI-MOSFETs of this invention may be prepared in one principal plane of a substrate 120, a photo detector may be prepared in the principal plane of one of these, and the principal plane of reverse another side, and one principal plane may be protected with an opaque resin object, and the principal plane of another side may be protected with a transparent resin object.

[0073]

[Effect of the Invention] Since a gate electrode is connected to the substrate and the electric target which become a channel according to this invention and electric power can be supplied to a channel, the problem of substrate floating can be suppressed.

[0074] moreover, the electric connection with the substrate used as a gate electrode and a channel -- a substrate lateral portion -- it is, and in order to attain, there is no occupancy area of substrate contact area, and high integration becomes possible.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the top view showing the semiconductor device which is the 1st example of this invention.

[Drawing 2] It is the A-A line cutting cross section of the semiconductor device shown in drawing 1 .

[Drawing 3] It is the B-B line cutting cross section of the semiconductor device shown in drawing 1 .

[Drawing 4] It is the C-C line cutting cross section of the semiconductor device shown in drawing 1 .

[Drawing 5] It is the sectional view showing the semiconductor device of the 2nd example of this invention.

[Drawing 6] It is the sectional view showing the semiconductor device of the 3rd example of this invention.

[Drawing 7] It is the sectional view showing the semiconductor device of the 4th example of this invention.

[Drawing 8] It is the sectional view showing the manufacture process of the semiconductor device shown in drawing 1 .

[Drawing 9] It is the sectional view showing the manufacture process of the semiconductor device following drawing 8 .

[Drawing 10] It is the sectional view showing the manufacture process of the semiconductor device following drawing 9 .

[Drawing 11] It is the sectional view showing the manufacture process of the semiconductor device following drawing 10 .

[Drawing 12] It is plane configuration drawing of the semiconductor device of the 5th example of this invention.

[Drawing 13] It is plane configuration drawing of the semiconductor device of the 6th example of this invention.

[Drawing 14] It is plane configuration drawing of the semiconductor device of the 7th example of this invention.

[Drawing 15] It is plane configuration drawing of the semiconductor device of the 8th example of this invention.

[Drawing 16] It is the sectional view showing the manufacture process of the semiconductor device of the 9th example of this invention.

[Drawing 17] It is the sectional view showing the manufacture process of the semiconductor device of the 9th example of this invention.

[Drawing 18] It is the sectional view showing the manufacture process of the semiconductor device of

the 9th example of this invention.

[Drawing 19] It is the sectional view showing the semiconductor device of the 10th example of this invention.

[Drawing 20] It is the sectional view showing the semiconductor device of the 11th example of this invention.

[Drawing 21] It is plane configuration drawing of the semiconductor device of the 12th example of this invention.

[Drawing 22] It is the top view of the semiconductor device of the conventional SOI structure.

[Drawing 23] It is the top view of the single crystal thin film silicon layer of the conventional semiconductor device shown in drawing 22 .

[Drawing 24] It is the A-A line cutting cross section of the conventional semiconductor device shown in drawing 22 .

[Drawing 25] It is the top view of the 13th example semiconductor integrated circuit equipment of this invention.

[Drawing 26] It is the top view of the semiconductor integrated circuit equipment which is the 14th example of this invention.

[Drawing 27] It is the top view of the semiconductor integrated circuit equipment which is the 15th example of this invention.

[Drawing 28] It is the circuit diagram showing the power circuit (voltage limiter) for driving the semiconductor device (or semiconductor integrated circuit equipment) of each example of this invention.

[Drawing 29] It is the circuit diagram showing the I/O protection network using the semiconductor device of this invention as a protection component. and

[Drawing 30] It is the sectional view showing the electronic card with which the semiconductor device (or semiconductor integrated circuit equipment) of this invention was incorporated.

[Description of Notations]

100: SOI active region.

110: Silicon oxidation membrane layer.

120: Support substrate.

300A: Open ROMASUKU

300,330, 340, 350, 360, 370: High concentration impurity diffused layer.

500 550: Gate.

600: Contact.

700 710: Metal wiring.

910: Gate oxide. 1

920, 930, 960: Interlayer insulation film

10: Electronic card.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242477

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁹
H 0 1 L 29/786
B 4 2 D 15/10
H 0 1 L 21/336

識別記号

5 2 1

F I

H 0 1 L 29/78
B 4 2 D 15/10
H 0 1 L 29/78

6 1 7 J
5 2 1
6 1 3 A
6 1 6 M
6 1 7 T

審査請求 未請求 請求項の数15 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平9-339637
(22) 出願日 平成9年(1997)12月10日
(31) 優先権主張番号 特願平8-347138
(32) 優先日 平8(1996)12月26日
(33) 優先権主張国 日本 (J P)

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(72) 発明者 久本 大
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(72) 発明者 須藤 敬己
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 半導体装置およびその製造方法

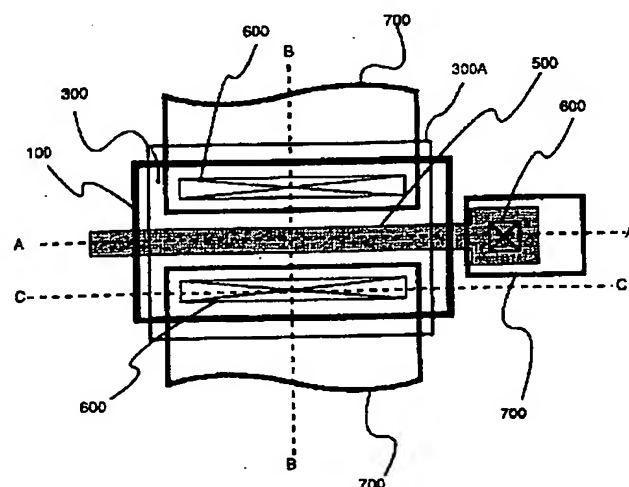
(57) 【要約】

【課題】 SOI基板上に形成された薄膜SOI-MOSFETにおいて、基板フローティングを抑制する手段を簡単な構成で達成する。

【解決手段】 ゲート（電極）が、2層構造を成し、その上部ゲートによりSOI層（基板）の側面部において電気的に接続されている。

【効果】 ゲート電極が、チャネルとなる基板と電気的に接続されるため、チャネルに対して給電できるため、基板フローティングの問題を抑えることができる。そして、基板コンタクトエリアの占有面積が無く高集積化が可能となる。

図 1



(2)

【特許請求の範囲】

【請求項1】主面が絶縁体より成る支持基板と、上記絶縁体主面にパターン形成された第1導電型の単結晶半導体層と、上記単結晶半導体層の主面に形成されたゲート絶縁膜と、上記ゲート絶縁膜上にパターン形成された第1のゲート層と、そして上記第1のゲート層に接続された第2のゲート層とを含み、上記第2のゲート層は上記単結晶半導体層の側面部で接続されていることを特徴とする半導体装置。

【請求項2】請求項1において、上記支持基板は単結晶半導体とその半導体表面に形成されたシリコン酸化膜よりなる絶縁体とで構成されていることを特徴とする半導体装置。

【請求項3】主面が絶縁体より成る支持基板と、上記絶縁体主面に形成された矩形を有する第1導電型の単結晶半導体層と、上記単結晶半導体層の主面に形成されたゲート絶縁膜と、上記ゲート絶縁膜上にパターン形成された第1のゲート層と、そして上記第1のゲート層に接続された第2のゲート層とを含み、上記第2のゲート層は上記単結晶半導体層の互いに対向する両側面部で接続されていることを特徴とする半導体装置。

【請求項4】請求項3において、上記支持基板は単結晶半導体とその半導体表面に形成されたシリコン酸化膜よりなる絶縁体とで構成されていることを特徴とする半導体装置。

【請求項5】請求項3において、上記下部ゲート層は多結晶シリコンとチタンナイトライドとの積層膜より成り、上記上部ゲート層は多結晶シリコンより成ることを特徴とする半導体装置。

【請求項6】主面が絶縁体より成る支持基板と、上記絶縁体主面に形成された複数の矩形を有する第1導電型の単結晶半導体層と、上記それぞれの単結晶半導体層の主面に形成されたゲート絶縁膜と、上記それぞれのゲート絶縁膜上にパターン形成された第1のゲート層と、そして上記複数の単結晶半導体層に跨って形成され上記第1のゲート層に接続された第2のゲート層とを有し、上記第2のゲート層は上記それぞれの単結晶半導体層の側面部で接続されていることを特徴とする半導体集積回路装置。

【請求項7】絶縁物上に半導体単結晶層が設けられ、該半導体単結晶層に形成されたゲート、ソース、ドレイン電極を持った絶縁ゲート型電界効果トランジスタを含む半導体装置において、ゲート電極が2層構造からなり、上部ゲート層が該絶縁ゲート型電界効果トランジスタのチャネル形成領域と電気的に接続されていることを特徴とする半導体装置。

【請求項8】請求項7において、該シリコン単結晶層の側面と該ゲート電極とのコンタクトがされていることを特徴とする半導体装置。

【請求項9】請求項7において、該下部ゲート層と活性

領域が同じパターンにより形成されていることを特徴とする半導体装置。

【請求項10】絶縁体上にあるシリコン単結晶に、該ゲート絶縁膜を形成する工程と、該ゲート絶縁膜上にゲート層を堆積する工程と、活性領域をパターンニングする工程と該ゲート層と該シリコン単結晶層を加工する工程と、該ゲート層および該シリコンおよび絶縁膜基板上に第2のゲート層を堆積する工程と、ゲートをパターンニングし、該第1および第2のゲート層を加工する工程と、該活性領域に所定の不純物領域を形成する工程を有する半導体装置の製造方法。

【請求項11】半導体本体に受光素子が形成され、上記本体の一主面に絶縁膜を介して半導体層が形成され、上記半導体層にその半導体層をチャンネル形成領域とするMISFETが形成され、上記MISFETのゲート電極と上記半導体層とが電気的に接続され、上記半導体本体は樹脂体に封止されて成ることを特徴とする電子カード。

【請求項12】請求項11において、上記受光素子は上記MISFETを駆動する太陽電池を構成することを特徴とする電子カード。

【請求項13】請求項12において、上記受光素子は透明な樹脂体で封止されている電子カード。

【請求項14】請求項11において、上記受光素子は上記本体の一主面に対し、反対の他の主面に形成されていることを特徴とする電子カード。

【請求項15】絶縁体上の単結晶半導体層に絶縁ゲート電界効果トランジスタを有する半導体装置を製造する方法において、

上記単結晶半導体層にゲート絶縁膜を介して第1導体層を堆積する工程、

上記第1導体層および上記単結晶半導体層に対しゲート幅方向を規定するパターンニングを行う工程、

パターンニングされた上記第1導体層および上記単結晶半導体層上に上記第1導体層主面及び側面、上記単結晶半導体層の側面に接する第2導体層を堆積する工程、

上記第2導体層及び上記第1導体層に対しゲート長方向を規定するパターンニングを行い、第1ゲート層および第2ゲート層の積層ゲート電極を形成する工程、

上記積層ゲート電極により規定されたソース、ドレイン領域を形成する工程より成る。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置、特にSOI (Silicon On Insulator) 構造の絶縁ゲート型電界効果トランジスタに関する。

【0002】

【従来の技術】絶縁基板の薄い単結晶シリコン層に形成されたSOI-MOSFET (Silicon On Insulator - Metal Oxide Semiconductor Field Effec

50

(3)

3

t Transistor) は、シリコンの微細加工プロセスを用いて、一つの基板上に大集積化できる。また、従来の単結晶シリコン基板を用いた場合に比べ、形成したトランジスタの持つ寄生容量が小さいことから高速動作に向くことから注目されてきた。

【0003】従来の単結晶シリコン基板を用いた半導体装置(MOSFET)では、基板電極を用いてチャネル部にバイアスしている。これに対し、SOI-MOSFETでは、薄い単結晶シリコン層の底部には絶縁層(または絶縁基板)があるためチャネル下部よりバイアスすることができず、不安定な動作を引き起こす”基板フローティング”(floating-substrate)と呼ばれる課題があった。

【0004】すなわち、NMOS(NチャネルMOS)では、チャネル部にホールが蓄積されることで、オフ状態で大きなリーク電流を流すこと、また、オン状態でも、電流特性にキンク(kink effect)を生じること等が報告されている。この問題は、衝突電離係数(impact ionization)の大きなNMOSにおいて顕著に現れることが知られている。

【0005】この課題を解決するための技術は、例えば特開平4-34980号公報あるいは特開平7-273340号公報に開示されている。

【0006】また、アイ、イー、イー、イー、エレクトロン デバイス レター、1994年12月号第510頁から第512頁(IEEE Electron Devices Letters, vol. 15, No. 12, pp. 510-512, December 1994)に記述されているように、チャネル部(P-silicon)にゲート電極を介してバイアスすることが考えられている。この基板とゲートを結んだ構造を有するMOSFETは、FETと横型バイポーラデバイス(Lateral Bipolar Transistor)とを共存させたデバイスとみなすことができる。このようなMOSFETによれば、特に低電圧動作(0.6V以下)において優れた特性を得ることができることが報告されている。

【0007】図22は、上記文献に開示されているデバイス構造を示す平面配置図である。平面配置は従来の単結晶シリコン基板に形成されたMOSFETと同じ配置を採用している。この構造の特徴は、薄い単結晶シリコン層より成る活性領域100の一部がゲート(電極)500と同一の形状でパターンニングされている。そして、ゲートのコンタクト600において、そのゲート500と同時に活性領域に対して配線によりコンタクトされている。

【0008】図23は、図22の活性領域100のみを示したもので、ゲートのコンタクト部では、いわゆるドックボーンのかたち活性領域がパターンニングされている。コンタクトの断面構造を図24に示す。図24に示した断面構造は、A-A切断断面図である。図24に示したように、ゲート500と活性領域100とのコンタクトは、ゲート500及びゲート酸化膜910を突き抜

4

いたコンタクトホールを形成し、上記ゲート酸化膜910下の活性領域100を露出させ、上記コンタクトホール内に形成した金属配線700によって達成される。

【0009】

【発明が解決しようとする課題】上記文献に開示された技術では、活性領域を加工する際に予めゲートに合わせた微細なパターンニングをする必要がある。コンタクト形成時には、ゲートを突き抜ける加工を行い、かつ、薄膜シリコン層を突き抜けないように加工を止める必要がある。そして、ゲートへのコンタクトをゲート層側面(コンタクトホール内壁)で行わなければならない。このため、通常のMOSTランジスタプロセス(従来の単結晶基板にMOSTランジスタを形成するためのプロセス)と整合性のとれない加工上の問題があり、集積化には適さない。

【0010】したがって、特殊な加工を施すことなく、基板フローティングの問題を解決する必要がある。

【0011】本発明の目的は、チャネル形成領域に電位を与える新規なSOI構造の半導体装置を提供することにある。

【0012】本発明の他の目的は、チャネル形成領域に電位を与える新規なSOI構造の絶縁ゲード電界効果トランジスタが一つの支持基体に複数構成された半導体集積回路装置を提供することにある。

【0013】さらに、本発明の他の目的は、チャネル形成領域に電位を与えるための新規なSOI構造の半導体装置の製造方法を提供することにある。

【0014】

【課題を解決するための手段】本発明の半導体装置によれば、絶縁体上に半導体単結晶層(polycrystalline semiconductor layer)が設けられ、該半導体単結晶層に形成されたゲート、ソース、ドレイン電極を有する絶縁ゲート型電界効果トランジスタを含む半導体装置において、ゲート電極が上部ゲート層及び下部ゲート層の2層構造からなり、その上部ゲート層が該絶縁ゲート型電界効果トランジスタのチャネル形成領域と電氣的に接続されていることを特徴とする。

【0015】本発明によれば、ゲート電極を介して基板バイアスされるため、基板フローティングの問題は回避できる。

【0016】また、後述する形成工程の説明で明らかのように本発明構造は自己整合的に実現されるため、従来技術のような加工上、整合性が取れないなどの問題を生じることがないのは明らかである。

【0017】すなわち、下部ゲート電極の加工時に、SOI層(半導体単結晶層)まで連続してエッチングにより加工し、SOI層の側面を露出させる。この加工によりゲートとSOI層(すなわち、チャネル形成領域)とのコンタクトのための側面部が形成される。そして、下部ゲート層上に上部ゲート層を堆積することで自動的に下部ゲ

(4)

5

ート層とSOI層とがその側面部において接続される。

【0018】

【発明の実施の形態】以下、本発明の詳しい内容を実施例に基づき説明する。

【0019】図1は、本発明における第1の実施例であって、SOI構造の半導体装置をマスキレイアウトで示した代表的な平面図である。まず、Nチャンネル型絶縁ゲート電界効果トランジスタ（以下、簡単に‘NMOS’として示す）に例をとり、その構造及び形成工程を説明する。

【0020】太線で示した矩形の活性領域（薄い単結晶シリコン層）100を跨ようにゲートパターン500が位置されている。300Aは、N型不純物をイオン打ち込みしてNMOSのソース、ドレイン電極を形成するときの開口マスクの位置を示す。600は、ソース領域、ドレイン領域及びゲート電極それぞれに対する配線のコンタクト部を示す。また、700は配線の位置を示している。

【0021】上記配置のNMOSの断面構造を図2、図3、図4に示す。図2、図3および図4は、それぞれ、図1におけるA-A線（チャンネル垂直方向またはチャンネル幅方向）、B-B線（チャンネル長方向）およびC-C線での切断断面である。それぞれの図において、120は例えば高抵抗単結晶シリコンより成る支持基板（body）である。110は絶縁膜であり、例えばシリコン酸化膜より成る。100は絶縁膜110上に位置された第1導電型単結晶シリコン層（すなわち、SOI層）である。910はゲート絶縁膜であり、具体的にはシリコン酸化膜より成る。550は下部ゲート層、500は上部ゲート層である。350は第1導電型に対して反対の導電型を示すソース、ドレイン拡散層（source/drain diffused layer）である。チャンネル部のシリコン、すなわちSOI層100は、低濃度のP導電型を示す。ソース、ドレイン拡散層はN導電型を示す。700は金属配線層を示し、それぞれの拡散層および電極にコンタクトされている。

【0022】本発明の特徴を図2に示す。図2において、SOI層100における互いに対向する両側面は、ゲート絶縁膜910がないため、上部ゲート層500と接しており電氣的導通がとられている。よって、金属配線700に印加されたバイアスは、上層ゲート層500を介してSOI層100（ゲート電極下のチャンネル形成領域）に与えられる。また、下部ゲート層550はゲート絶縁膜910を介して電界効果を及ぼし、電界効果トランジスタ（FET）としての動作を行うことができる。そして、図4に示すように、SOI層100の側面と拡散層350とが離れて配置されている。すなわち、拡散層350とSOI層100とで構成されるPN接合はSOI層100の側面に到達しないようにそのSOI層100内に形成される。ゲートとのコンタクト部と拡散層の間に距離があるため、ゲートとドレイン間の耐圧は充分得ることが

6

できる。

【0023】図3に示す断面構造に対応させて、他の実施例をそれぞれ図5、図6および図7に示す。

【0024】図5に示した第2の実施例は、SOI層100を薄膜化した場合を示している。このSOI層100の厚さは、例えば10nmを有し、ゲート絶縁膜910の厚さはそのSOI層100の厚さの約1/2である。

【0025】本実施例におけるゲートとチャンネル形成領域との電氣的な接続は、図2に示した構造により達成される。

【0026】本実施例によれば、サブスレショルド動作領域（subthreshold operation region）での特性改善が図れる。すなわち、ゲート電極とチャンネル活性領域とが電氣的に接続されているため、トランジスタ（NMOS）のゲート電圧（VG）＝0Vの時（オフ状態）には、そのトランジスタのオフ状態を強くする。つまり、スレショルド電圧を上げる。したがって、サブスレショルドドリーク電流（subthreshold leakage current）の低減を図ることが出来る。

【0027】また、SOI構造の固有の効果であるが、拡散層の寄生容量を低減することができる。

【0028】図6に示した第3の実施例は、LDD（Lightly Doped Drain）構造として知られる浅い低濃度不純物拡散層340を設けたSOI構造のNMOSである。すなわち、この拡散層金属配線が接続されるソース、ドレイン拡散層よりも低濃度を有し、かつ浅く形成されている。このようにLDD構造を採用したことにより、ホットエレクトロン効果（hot electron effect）を低減することができ、SOI構造のNMOSの微細化が図れる。

【0029】そして、本実施例におけるゲートとチャンネル形成領域との電氣的な接続は、図2に示した構造により達成される。

【0030】なお、図6において、ゲート電極500、550に対するサイドウォールスペーサ（sidewall spacer）は省略されている。

【0031】図7に示した第4の実施例は、DDD（Double Diffused Drain）構造と呼ばれる低濃度拡散層340で、金属配線700が接続される高濃度拡散層350を包んだ構造であり、ドレイン耐圧を向上することができる。

【0032】本実施例においても、ゲートとチャンネル形成領域との電氣的な接続は、図2に示した構造により達成される。

【0033】なお、図7において、高濃度拡散層350は、ゲート電極500、550の端部（edge）から離れている。しかし、実際は低濃度拡散層340と同様にゲート電極500、550の端部（edge）に対して自己整合（self align）形成される。このため、ゲート絶縁膜109に接した高濃度拡散層350の端部はゲート電極下

(5)

7

に位置する。

【0034】次に、図1に示した第1の実施例の製造方法を説明する。図8から図11は、第1の実施例の製造過程を示す断面構造図である。図8から図11は、図1に示したゲートを含んだ半導体装置のA-A線切断断面での製造過程である。

【0035】図8に示すように、支持基板としてのシリコン基板120上にシリコン酸化膜110が形成される。シリコン基板120は比較的高抵抗の単結晶シリコン(relatively high resistivity single crystalline silicon)である。そして、そのシリコン酸化膜110上に厚さ100nm、P導電型(P-conductivity type)の1Ωcmの抵抗率(resistivity)を有する単結晶シリコン層(SOI層)100が形成される。これにより、スターティングマテリアル(starting material)としてのSOI基板が準備される。そして、このSOI基板表面に、熱酸化により10nmのゲート酸化膜910を形成し、そして、CVD法を用いてP導電型にドーピングされた多結晶シリコン層550を100nm堆積する。

【0036】次に、図9に示すように、ホトレジスト法を用いて活性領域をパターンニングする。すなわち、ホトレジマスクを用いて下部ゲート層550、ゲート絶縁膜910、SOI層100を順次エッチング加工する。このとき、SOI層100側面を活性領域の形に露出させることができる。

【0037】なお、活性領域(active region)は絶縁ゲート電界効果トランジスタが形成される領域を言い、ソース、ドレイン領域(source and drain regions)及びそれらの間のチャンネル形成領域を含んでいる。

【0038】次に、図10に示すように、CVD法を用いて、高濃度にボロンをドーピングした多結晶シリコン(上部ゲート層)500を堆積する。これにより、下部ゲート層550とSOI層100とが露出したSOI層側面で接続される。多結晶シリコン中にドーピングされたボロンは、以降の熱処理工程(例えばCVD保護膜形成等の熱処理)によりSOI層側面から拡散し、SOI層中に高濃度層を形成する。この高濃度層は、プロセスを低温化(例えば、6000℃～700℃程度)することで薄くすることができるため、図中では、省略する。

【0039】次に、図11に示すように、ホトレジスト法により、ゲート電極をパターンニングする。具体的には、異方性ドライエッチングによりゲート電極加工を行う。このとき、SOI層110上では、上部ゲート層500と下部ゲート層550とを一緒に加工することができる。すなわち、図1に示したように、ゲート電極(500)は形成される。

【0040】一般的に、SOI層100のような段差があると、そのSOI層側面に上部ゲート層550のエッチング残り(etching residue)が生じる。しかしながら、ゲート絶縁膜910と上部ゲート層550とのエッチング

8

の選択比の高い条件を用いることで、加工することができる。

【0041】以下、通常MOSFETと同様な形成工程のため図は省略する。ゲート電極500および開口マスク300A(図1参照)をマスクにヒ素(Arsenic)をイオンドーザ量 $5 \times 10^{15} \text{cm}^{-2}$ 、打ち込みエネルギー25keVで加速したイオン打ち込み(ion-implantation)し、その後アニールすることで、拡散層(ソース、ドレイン領域)300を形成する。開口マスク300Aを用いることで、拡散層と、ゲート電極とコンタクトしているSOI層側面との間を0.3ミクロン(μm)離れた。これにより、ゲート500からSOI層表面に拡散して形成されているP型高濃度層(浅い接合のため図示せず)と、拡散層300との接合耐圧を上げることができる。そして、CVD法により、BPSG(Boro-Phospho Silicate Glass)を堆積し、熱処理することで平坦化してからそれぞれの電極にコンタクトを形成する。金属配線を堆積加工することで、素子(NMOS)が形成される。

【0042】上記の工程から明らかなように、SOI層にはコンタクトパターンを設けることなく、基板100とゲート電極を導通させることができる。

【0043】なお、ここで用いた導電型を反対にすることで、PMOS(PチャネルMOS)が形成できる。また、シリコン酸化膜110上にP導電型SOI層とN導電型SOI層をそれぞれ設け、PMOS形成用マスクとNMOS形成用マスクとを使い分けることでCMOSプロセスが達成できることは明らかである。

【0044】図12は、第5の実施例を示す。特に、大きな電流をとるため、複数ゲート(電極)を平行に配置した、いわゆるデュアルゲート(dual gate)構造を有するSOI-NMOSのレイアウトを示している。図12において、拡散層300は、活性領域(SOI層)100のパターンよりも小さく形成されている。

【0045】本実施例においても、それぞれのゲート電極500は、図2に示すように、上部ゲート層及び下部ゲート層より成る2層構造を有し、上部ゲート層と活性領域の側面にコンタクトしている。

【0046】本発明構造および形成プロセスを用いると、拡散層とは反対導電型を持つ電極(P導電型ゲート電極500)と活性領域とのコンタクトはそれらが同一導電型であるため容易に達成できる。また、バイポーラトランジスタが同時に得られる。

【0047】図13は、第6の実施例であり、そのバイポーラトランジスタの基本的な配置を示す。例えばPMOSの場合、そのトランジスタの構成は、ゲート500が接続されたN導電型SOI層をN型ベースとし、P型ソース領域およびP型ドレイン領域をそれぞれ、エミッタおよびコレクタとし、横型PNPバイポーラトランジスタ(Lateral PNP Bipolar Transistor)として動作させることができる。

(6)

9

【0048】図14は本発明の第7の実施例の半導体装置の平面配置図である。本実施例はMOSFETではなく、横型バイポーラトランジスタのみを構成している。すなわち、図14に示すように、電極500はベース引き出し電極としてパターンニングされている。前記第6の実施例と同様に、この電極500はSOI層100側面に接続されている。エミッタ領域及びコレクタ領域は開口マスクパターン300、310をマスクとして周知のイオン打ち込みによりSOI層100内に選択的に形成することができる。

【0049】図15は、本発明の第8の実施例の半導体装置の平面配置図である。図15に示すように、リング状に活性領域(SOI層)100を絶縁膜(図示せず)に配置させ、デバイスを形成することができる。このデバイスは、たとえばSOI-MOSFETの入力保護用ダイオード(PN接合ダイオード)として適用できる。すなわち、N導電型SOI層100にP導電型拡散層300が上記絶縁膜に達するように選択的に形成されている。

P導電型高濃度不純物拡散層300が形成されているリング状SOI層100の内側の側壁には電極500がコンタクトされている。電極500主面およびSOI層主面に層間絶縁膜(図示せず)が被覆され、この層間絶縁膜にはコンタクトホール600が配置されている。そして、点線で示したように、アノード配線M_Aおよび配線M_Kが接続されている。

【0050】本実施例によれば、電極500がPN接合(PN junction)全体に対向してリング状SOI層100の内側の側壁にコンタクトされているため、サージ電流を均一に流すことが可能である。

【0051】次に、図16から図18に第9の実施例である他の半導体装置の製造方法を示す。

【0052】なお、図16から図18に示した断面図は図1に示すA-A線切断方向の断面図に対応する。

【0053】図9に示した下部ゲート層550を加工する時に、下部ゲート層550上にシリコン窒化膜925を堆積し、シリコン窒化膜925および下部ゲート層550のエッチングし、ゲート絶縁膜910で加工を一旦止める。次に、既知のCVD法とドライエッチング(異方性エッチング: anisotropic etching)を組み合わせたスペーサ形成技術により、下部ゲート層550側面にスペーサ920を形成することができる(図16)。

【0054】次に、シリコン窒化膜925およびスペーサ920をマスクにSOI層100を加工する(図17)。

【0055】次に、スペーサ920およびシリコン窒化膜925を除去し、下部ゲート層550をマスクにイオン打ち込みすることで、SOI層100周辺部に自己整合的にP導電型の高濃度不純物拡散層330を設けることができる。この後、図10に示した実施例1の形成プロセス(ゲートエッチング)を行うことで素子を

10

得ることができる(図18)。このプロセスを行うことで、金属材料を上部ゲート層500として用いても、SOI層(基板)とショットキーバリア(schottky barrier)を持つことなく低抵抗で導通を得ることができる。

【0056】本発明構造では、異なる材質を積層することでゲートを形成できることは明らかであり、必要なゲート抵抗を得るように組み合わせを設計することができる。これまで、2層のゲート構成を示してきたが、例えば、下部ゲートをN型多結晶シリコンとそのN型多結晶シリコン上のチタンナイトライド(TiN)との積層膜とし、上部ゲートをP型多結晶シリコンにすることができる。すなわち、ゲートの低抵抗化や閾値(threshold voltage)設定のため開発されているポリサイドゲート(polyside gate)やサリサイドゲート(salicide gate)のような積層ゲート構造をそのまま用いることができる。

【0057】図19は、第10の実施例であり、上部ゲート500と、下部ゲート550との間に絶縁膜930を置いた場合を示している。これにより、容易に浮遊ゲート型メモリセルを得ることができる。

【0058】したがって、SOI層100に前記実施例(例えば第1の実施例)のような上部ゲート層及び下部ゲート層より成る2層構造を有し、上部ゲート層と活性領域の側面にコンタクトしているMOSFETと上記浮遊ゲート型メモリセルとが搭載された半導体集積回路装置を形成することが可能である。

【0059】また、図20および図21は、それぞれ第11の実施例および第12の実施例であり、前記実施例のMOSFETとともにSOI層100に形成が可能なPN接合ダイオードの変形例を示す。

【0060】図20に示したダイオードは、P導電型SOI層(基板)100とN型層370との間のPN接合で構成される。このダイオードの形成方法を以下に簡単に述べる。

【0061】まず、ゲート絶縁膜を基板100表面に置かず下部ゲート層550および上部ゲート層500を堆積する。具体的には、図8に示したゲート絶縁膜910を形成した後、ダイオードが形成されるべき基板100表面に形成されたゲート絶縁膜910の一部を除去する。そして、下部ゲート層550および上部ゲート層500を堆積する。ゲート電極パターンニング工程で、そのゲート絶縁膜がないため、基板100をエッチングすることができる。この時作られる側面の段差を利用して絶縁膜スペーサ960を形成する。そして、露出した多結晶シリコン500および、基板100に選択的にタングステン710を堆積する。基板100にはタングステン堆積前にリンをイオン打ち込みすることにより、上記絶縁膜スペーサ960によって規定されたN型層370を形成する。360はゲート絶縁膜がないため550より拡散してくるP型不純物層を示したものである。

【0062】本実施例は、2層ゲートパターンエッチン

(7)

11

グを利用して、PN接合ダイオードを選択的に形成できる。

【0063】CMOSプロセスでは、ゲートの多結晶シリコンにN型およびP型の両者を用いられている。これを利用することで、ダイオードを形成することができる。図21に代表的レイアウトを示す。活性領域（P導電型SOI層）100の左側面（CNT1）よりN導電型領域へのコンタクトが行われ、右側面（CNT2）よりP導電型領域へのコンタクトをとることができる。

【0064】なお、N導電型領域300は開口マスク300Aを用いたヒ素イオンの打ち込みにより形成される。

【0065】本発明によるゲートと基板（SOI層）とのコンタクト（以下、基板コンタクトと言う）は、ゲートが複数の活性領域に跨るときに有効である。つまり、本発明は高集積化に適した構造である。図25、図26そして図27は、第13、第14そして第15の実施例をそれぞれ示す。LSIで使用されている代表的な活性領域100とゲート500との配置例をそれぞれ示す。

【0066】従来の基板コンタクトでは、複数のコンタクト形成領域を設ける必要がある。

【0067】しかしながら、本発明によれば、活性領域100の側壁で基板コンタクトを達成しているため、図25から図27それぞれ示した配置の活性領域に対する基板コンタクトが容易に行える。したがって、高集積化された低電圧駆動の半導体集積回路装置が得られる。

【0068】ところで、本発明のデバイス構造は、高い電圧（ $V_{cc}=1.2V\sim 1.5V$ ）では、リーク電流が増大するため、特に低い電圧（ $V_{DL}\leq 0.6V$ ）での動作において効果がある。このため、基板コンタクトの無いSOI-MOSFETと本発明のような基板コンタクトを有するSOI-MOSFETとを集積化した半導体集積回路装置（以下、ICと言う）の場合、図28に示したような電圧リミッタ（voltage limiter）をそのIC内に設け、駆動電圧 V_{DL} によって動作させる内部回路（internal circuit）を上記本発明のSOI-MOSFETsで構成することができる。

【0069】なお、図28において、抵抗 R_1 、 R_2 は基準電圧 $V_{ref}(\leq 0.6V)$ が得られるように設定される。DAは差動アンプ（differential amplifier）である。

【0070】本発明のSOI-MOSFETsをゲート保護回路素子として用いた実施例を図29に示す。本実施例では、IC内において、ボンディングパッド（bonding pad）BPと内部回路1との間に本発明で構成された大きなインバータ（CMOSインバータ）を接続することで、ゲート保護素子として動作させることが出来る。すなわち、ゲート電極は電源 V_{cc} あるいは接地線 V_{ss} に対し、それぞれPN接合を介して接続されている。このため、たとえば、正のサージ電圧がボンディングパッドBPに印加された場合、NMOSのPN接合を通して、接地線 V_{ss} に引き抜かれる。一方、負のサージ電圧がボンディングパッドBPに

12

印加された場合、PMOSのPN接合を通して、接地線 V_{cc} に引き抜かれる。

【0071】本発明によれば、低電圧で動作する特性を有する。したがって、電圧の低さが課題であった光起電力効果（photovoltaic effect）を利用した受光素子（photo detector）、例えば太陽電池（solar cell）と本発明のSOI-MOSFETsとを集積化することができる。たとえば、図30に示した電子カードが組み立てられる。図30において、シリコン基板120に設けられたウエル（well）に受光素子122が形成され、その基板120の一部に埋め込み酸化膜110が形成されている。埋め込み酸化膜110上には本発明のSOI-MOSFETsが形成されている。そして、たとえば、透明な樹脂体10でシリコン基板120が封止されている。そしてさらに、樹脂体10のコーナには外部端子11が設けられている。

【0072】なお、本発明のSOI-MOSFETsを基板120の一方の主面に設け、その一方の主面と反対の他方の主面に受光素子を設け、一方の主面は不透明の樹脂体で保護し、そして、他方の主面は透明な樹脂体で保護してもよい。

【0073】

【発明の効果】本発明によれば、ゲート電極が、チャネルとなる基板と電気的に接続されるため、チャネルに対して給電できるため、基板フローティングの問題を抑えることができる。

【0074】また、ゲート電極とチャネルとなる基板との電気的な接続は基板側面部において達成するため、基板コンタクトエリアの占有面積が無く高集積化が可能となる。

【図面の簡単な説明】

【図1】本発明の第1の実施例である半導体装置を示す平面図である。

【図2】図1に示した半導体装置のA-A線切断断面である。

【図3】図1に示した半導体装置のB-B線切断断面である。

【図4】図1に示した半導体装置のC-C線切断断面である。

【図5】本発明の第2の実施例の半導体装置を示す断面図である。

【図6】本発明の第3の実施例の半導体装置を示す断面図である。

【図7】本発明の第4の実施例の半導体装置を示す断面図である。

【図8】図1に示した半導体装置の製造過程を示す断面図である。

【図9】図8に続く半導体装置の製造過程を示す断面図である。

【図10】図9に続く半導体装置の製造過程を示す断面図である。

(8)

13

【図11】図10に続く半導体装置の製造過程を示す断面図である。

【図12】本発明の第5の実施例の半導体装置の平面配置図である。

【図13】本発明の第6の実施例の半導体装置の平面配置図である。

【図14】本発明の第7の実施例の半導体装置の平面配置図である。

【図15】本発明の第8の実施例の半導体装置の平面配置図である。

【図16】本発明の第9の実施例の半導体装置の製造過程を示す断面図である。

【図17】本発明の第9の実施例の半導体装置の製造過程を示す断面図である。

【図18】本発明の第9の実施例の半導体装置の製造過程を示す断面図である。

【図19】本発明の第10の実施例の半導体装置を示す断面図である。

【図20】本発明の第11の実施例の半導体装置を示す断面図である。

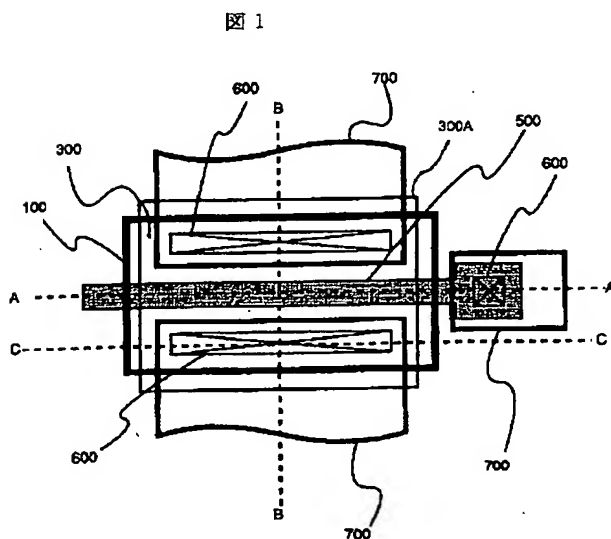
【図21】本発明の第12の実施例の半導体装置の平面配置図である。

【図22】従来のSOI構造の半導体装置の平面図である。

【図23】図22に示した従来の半導体装置の薄膜単結晶シリコン層の平面図である。

【図24】図22に示した従来の半導体装置のA-A線切

【図1】



14

断面図である。

【図25】本発明の第13の実施例半導体集積回路装置の平面図である。

【図26】本発明の第14の実施例である半導体集積回路装置の平面図である。

【図27】本発明の第15の実施例である半導体集積回路装置の平面図である。

【図28】本発明のそれぞれの実施例の半導体装置（または半導体集積回路装置）を駆動するための電源回路（電圧リミッタ）を示す回路図である。

【図29】本発明の半導体装置を保護素子として用いた入出力保護回路を示す回路図である。そして、

【図30】本発明の半導体装置（または半導体集積回路装置）が組み込まれた電子カードを示す断面図である。

【符号の説明】

100:SOI活性領域。

110:シリコン酸化膜層。

120:支持基板。

300A:開口マスク

300, 330, 340, 350, 360, 370:高濃度不純物拡散層。

500, 550:ゲート。

600:コンタクト。

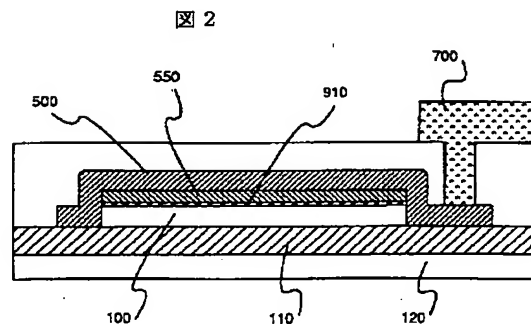
700, 710:金属配線。

910:ゲート酸化膜。1

920, 930, 960:層間絶縁膜

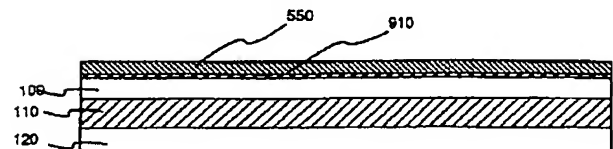
10:電子カード。

【図2】



【図8】

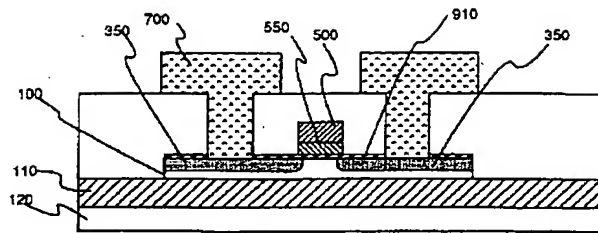
図8



(9)

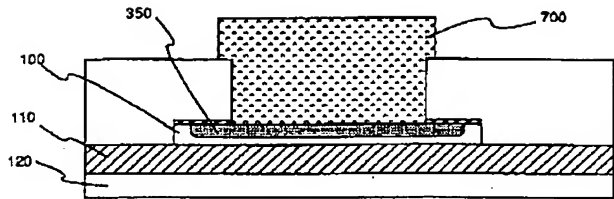
【図3】

図3



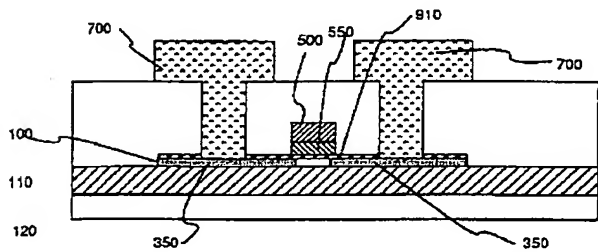
【図4】

図4



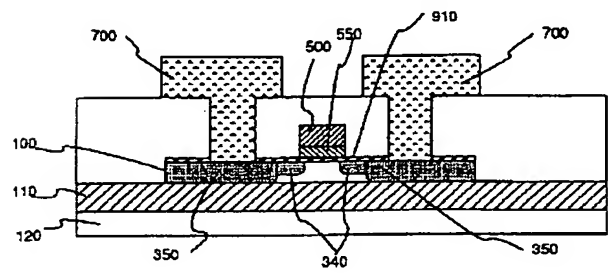
【図5】

図5



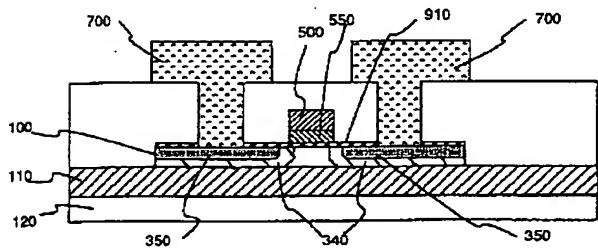
【図6】

図6



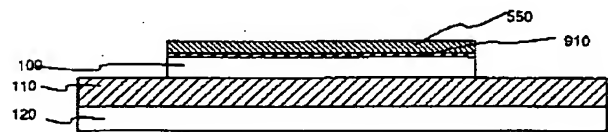
【図7】

図7



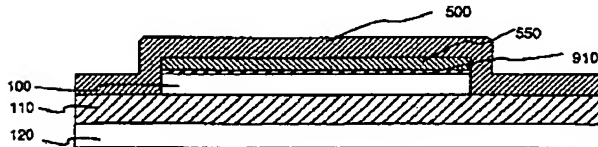
【図9】

図9



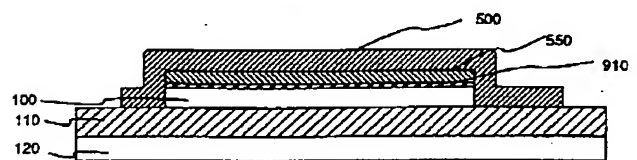
【図10】

図10



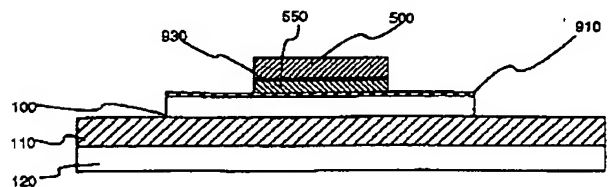
【図11】

図11



【図19】

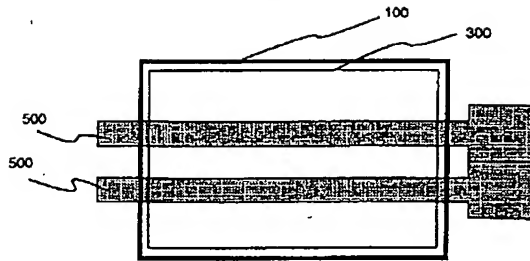
図19



(10)

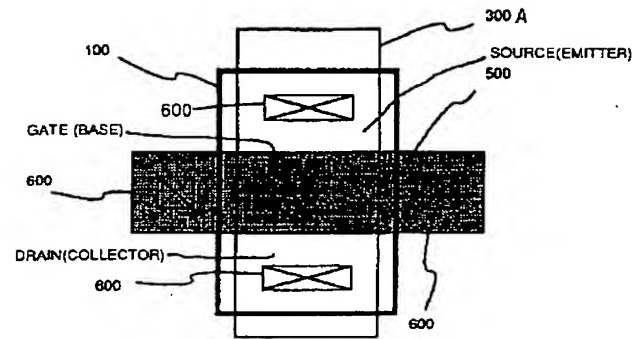
【図12】

図12



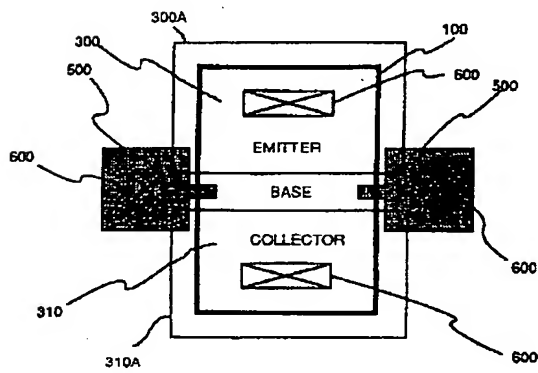
【図13】

図13



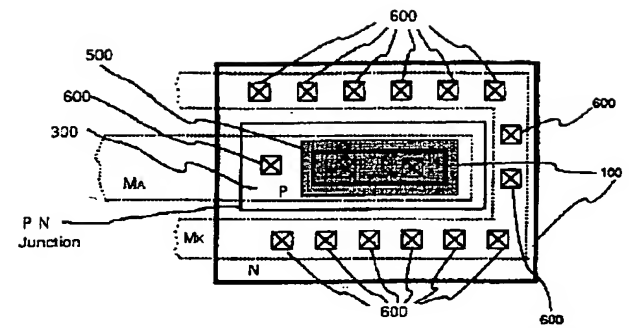
【図14】

図14



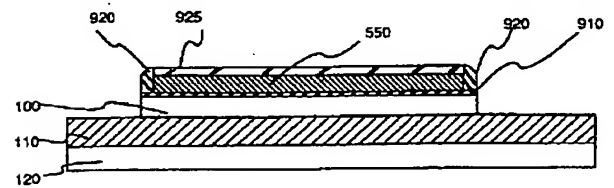
【図15】

図15



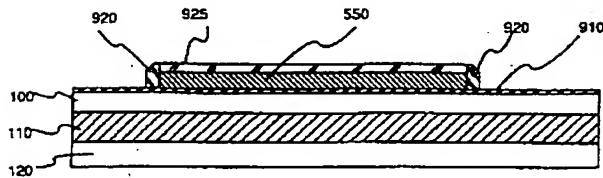
【図17】

図17



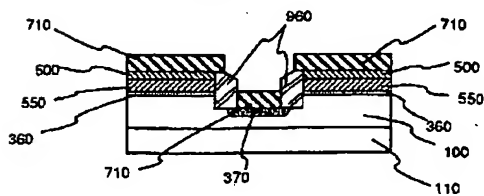
【図16】

図16



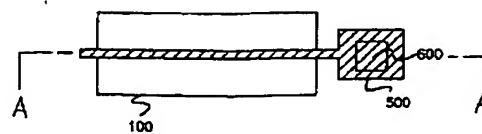
【図20】

図20



【図22】

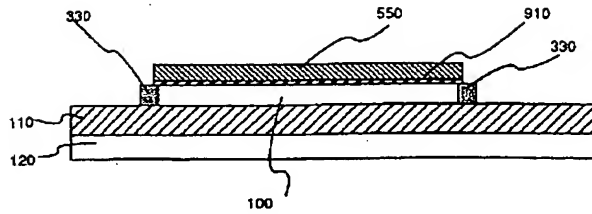
図22



(11)

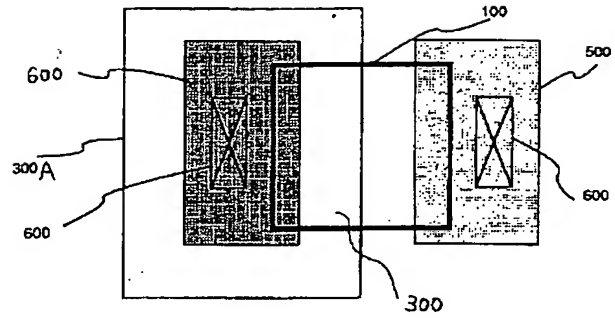
【図18】

図18



【図21】

図21



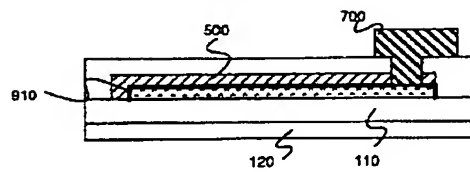
【図23】

図23



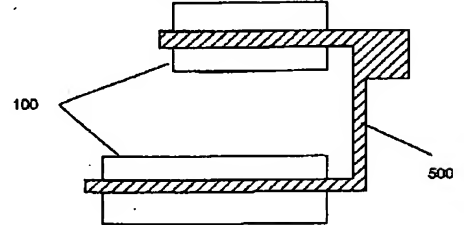
【図24】

図24



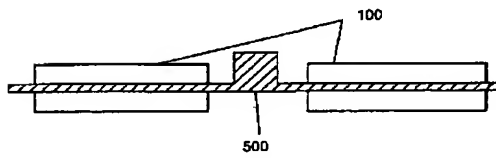
【図25】

図25



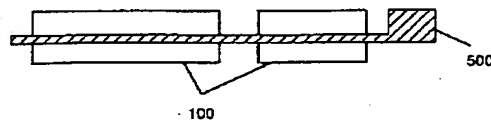
【図26】

図26



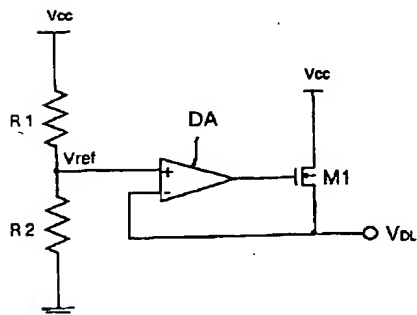
【図27】

図27



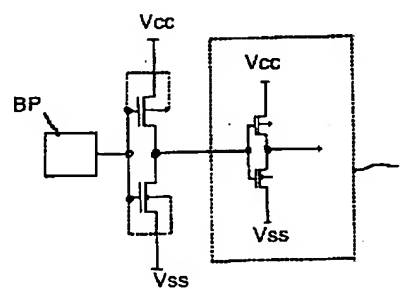
【図28】

図28



【図29】

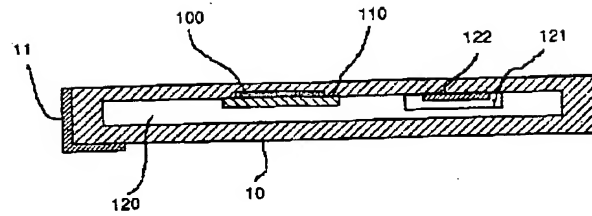
図29



(12)

【図30】

図30



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H 0 1 L 29/78

6 1 7 L

6 1 7 N

6 1 8 Z

拒絶理由通知書



特許出願の番号 特願2003-043145
起案日 平成17年 7月11日
特許庁審査官 星野 浩一 8602 2M00
特許出願人代理人 川▲崎▼ 研二 様
適用条文 第29条第2項

70009548
USD1 公開

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理 由

この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の特許公報に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記（引用文献等については引用文献等一覧参照）

1. 請求項1-4に対して、特許公報1、2

特許公報1の図2、特許公報2の図8を参照。

特許公報2には、シール材の外側の配線が腐食しても、シール材の内側の配線に腐食が進行し難い配線構造が示されている。

特許公報1に記載された配線構造として、特許公報2の図8に示された構造を採用することは、容易になし得ることである。

なお、有機膜や無機膜などについては、設計的事項である。（例えば、特開2001-33778号公報、特開平11-52366号公報、特開平04-343302号公報、特開平04-303824号公報等を参照）

2. 請求項5-6に対し、特許公報1、2

適宜設定し得ることである。（例えば、特開平09-171717号公報、特開平11-119664号公報等を参照）

3. 請求項7-9に対して、特許公報1、2

例えば、特開平09-62203号公報、実開昭62-161226号公報等を参照。

4. 請求項10に対して、刊行物1、2

刊行物1の【0065】には、シール材6の内部に導通材が分散されている旨記載されている。

5. 請求項11に対して、刊行物1、2

刊行物2の図8を参照。

6. 請求項12-13に対して、刊行物1、2

例えば、特開平06-242453号公報を参照。

引用文献等一覧

1. 特開2002-229474号公報

2. 特開2001-075118号公報

先行技術文献調査結果の記録

・調査した分野 I P C第7版

DB名

・先行技術文献

特開平05-259408号公報

特開平10-242477号公報

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

特許審査第1部 ナノ光学

TEL. 03 (3581) 1101 内線3273

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.